

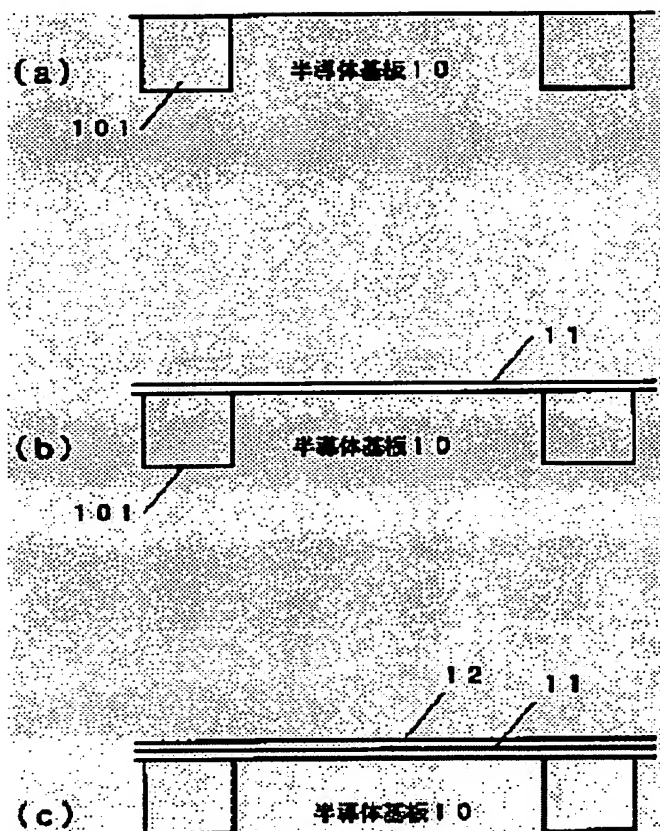
METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

Patent number: JP2002343961
Publication date: 2002-11-29
Inventor: KATAOKA TOYOTAKA; SAITO MASAKI
Applicant: SONY CORP
Classification:
- **international:** H01L29/78; C23C16/42; H01L21/318; H01L21/8238;
H01L27/092
- **europaen:**
Application number: JP20010144516 20010515
Priority number(s): JP20010144516 20010515

Report a data error here

Abstract of JP2002343961

PROBLEM TO BE SOLVED: To restrain fluctuation of a threshold voltage of a PMOS semiconductor element by obstructing diffusion of boron atoms to a silicon semiconductor substrate. **SOLUTION:** This method contains a process for forming an oxide film 11 on a surface of a semiconductor substrate 10; a process wherein nitrogen gas is supplied in which nitrogen element and at most 5% of hydrogen element are contained, and the oxide film 11 is nitrided by irradiation of electromagnetic waves; and a process wherein silicon material gas in which silicon element and at most 5% of hydrogen element are contained, and nitrogen gas in which nitrogen element and at most 5% of hydrogen element are contained are supplied, and a silicon nitride film 12 is formed on the oxide film 11 by irradiation of electromagnetic waves.



Data supplied from the esp@cenet database - Worldwide

M-1300

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-343961

(P2002-343961A)

(43) 公開日 平成14年11月29日 (2002. 11. 29)

(51) Int.Cl.⁷

識別記号

F I

テ-マコード (参考)

H 0 1 L 29/78

C 2 3 C 16/42

4 K 0 3 0

C 2 3 C 16/42

H 0 1 L 21/318

B 5 F 0 4 8

H 0 1 L 21/318

C 5 F 0 5 8

M 5 F 1 4 0

29/78

3 0 1 G

審査請求 未請求 請求項の数 7 O L (全 8 頁) 最終頁に続く

(21) 出願番号

特願2001-144516(P2001-144516)

(22) 出願日

平成13年 5 月15日 (2001. 5. 15)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 片岡 豊隆

東京都品川区北品川 6 丁目 7 番35号 ソニ

一株式会社内

(72) 発明者 齋藤 正樹

東京都品川区北品川 6 丁目 7 番35号 ソニ

一株式会社内

(74) 代理人 100092152

弁理士 服部 毅蔵

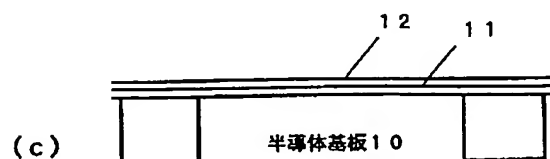
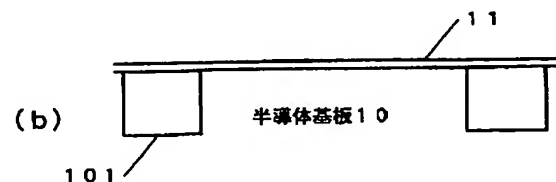
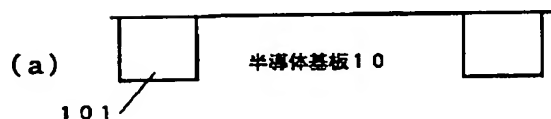
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ボロン原子のシリコン半導体基板への拡散を阻止して、PMOS半導体素子の閾値電圧の変動を抑制する。

【解決手段】 半導体基板 10 の表面に酸化膜 11 を形成する工程と、窒素元素を含み、水素元素が 5 % 以下しか含まれない窒素ガスを供給するとともに、電磁波を照射することによって酸化膜 11 を窒化する工程と、シリコン元素を含み、水素元素が 5 % 以下しか含まれないシリコン材料ガス、及び窒素元素を含み、水素元素が 5 % 以下しか含まれない窒素ガスを供給するとともに、電磁波を照射することによって酸化膜 11 上にシリコン窒化膜 12 を形成する工程とを含む。



【特許請求の範囲】

【請求項 1】 半導体層の表面に酸化膜を形成する工程と、

窒素元素を含み、水素元素が 5%以下しか含まれない窒素ガスを供給するとともに、電磁波を照射することによって前記酸化膜を窒化する工程と、

シリコン元素を含み、水素元素が 5%以下しか含まれないシリコン材料ガス、及び窒素元素を含み、水素元素が 5%以下しか含まれない窒素ガスを供給するとともに、電磁波を照射することによって前記酸化膜上にシリコン窒化膜を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項 2】 前記シリコン窒化膜上に、不純物を含むシリコン層からなるゲート電極を形成する工程を備えることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記ゲート電極を形成する工程は、不純物を含むシリコン層を CVD 法に基づいて成膜したあとにパターニングすることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記ゲート電極を形成する工程は、不純物を含まないシリコン層を CVD 法により成膜し、イオン注入法により不純物を前記シリコン層内に注入したあとにパターニングすることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 5】 前記ゲート電極を形成する工程は、不純物を含まないシリコン層を CVD 法により成膜し、前記シリコン層をパターニングしたあとに、イオン注入法により不純物を前記シリコン層内に注入することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 6】 前記ゲート電極が P 形不純物を含むポリシリコン層、あるいはアモルファスシリコン層であることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 7】 前記ゲート電極が P 形不純物としてボロン原子を含むことを特徴とする請求項 2 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ゲート絶縁膜が形成される半導体装置の製造方法、特に P 形半導体素子を含む半導体装置の製造方法に関し、さらに詳しくは、半導体酸化膜とシリコン窒化膜との積層膜を形成する方法、及びかかる積層膜形成方法を P 形半導体のゲート絶縁膜に適用した半導体装置の製造方法に関する。

【0002】

【従来の技術】例えば、シリコン半導体基板を基にした MOS 型半導体装置を製造する工程においては、シリコン半導体基板の表面にシリコン酸化膜からなるゲート絶縁膜を形成する必要がある。また、薄膜トランジスタ (TFT) の製造においても、絶縁性基板の上に設けら

れたシリコン層の表面に、シリコン酸化膜からなるゲート絶縁膜を形成する必要がある。このゲート絶縁膜として利用されるシリコン酸化膜の性質は、半導体装置の信頼性を左右しているといっても過言ではない。したがって、シリコン酸化膜には、常に、高い絶縁破壊耐圧及び長期信頼性が要求される。

【0003】半導体装置の高集積化に伴い、MOS 型半導体装置のゲート絶縁膜も薄膜化されつつあり、ゲート長 0.1 [μm] 世代の半導体装置では、ゲート絶縁膜の厚さは 2 [nm] 程度になると予想されている。こうしたゲート絶縁膜を構成するためのシリコン酸化膜の形成方法には、大きく分けて、酸化種として乾燥酸素を用いる乾燥酸化法と、水蒸気を酸化種として用いる加湿酸化法との 2 つに分類される。

【0004】乾燥酸化法は、加熱されたシリコン半導体基板に十分乾燥した酸素を供給することによって、シリコン半導体基板の表面にシリコン酸化膜を形成する方法である。また、加湿酸化法は、水蒸気を含む高温のキャリアガスをシリコン半導体基板に供給することによって、シリコン半導体基板の表面にシリコン酸化膜を形成する方法が、これまで一般的に用いられてきた。現在では、この他に活性種としてオゾン化あるいはプラズマ化された乾燥酸素を用いることも検討されてきている。一般には、加湿酸化法によって形成されたシリコン酸化膜の方が、乾燥酸化法によって形成されたシリコン酸化膜よりも、信頼性に優れている。

【0005】近年、CMOS トランジスタにおいては、低消費電力化のために低電圧化が図られており、そのために、PMOS 半導体素子と NMOS 半導体素子に対して、十分に低い閾値電圧であって、しかも PMOS と NMOS とで対称な値とすることが要求されている。このような要求に対処するために、PMOS 半導体素子においては、これまでの N 形不純物を含むポリシリコン層によって構成されたゲート電極に替えて、P 形不純物を含むポリシリコン層からなるゲート電極が用いられるようになった。

【0006】ところが、通常用いられる P 形不純物であるボロン原子 (B) は、ゲート電極形成後の半導体装置製造工程における各種の熱処理によって、ゲート電極からゲート絶縁膜を通過して、容易にシリコン半導体基板にまで到達する。こうして、ボロン原子がシリコン半導体基板に拡散されると、PMOS 半導体素子の閾値電圧が変動するなどの不都合が生じる。閾値電圧の変動は、低電圧化のためにゲート酸化膜をいっそう薄く形成された半導体装置では顕著に現れる。

【0007】

【発明が解決しようとする課題】半導体装置製造工程で、窒化シリコン膜がボロン原子の拡散抑制効果を有することは、すでに確認されている。そこで、窒化シリコン膜をゲート絶縁膜上に積層することにより、ボロン原

子(B)のシリコン半導体基板への拡散を阻止し、PMOS半導体素子の閾値電圧の変動を抑制しようとする試みがある。

【0008】窒化シリコン膜を形成する方法として、例えば文献“Ultra Thin (<20Å) CVD Si₃N₄ Gate Dielectric for Deep-Sub-Micron CMOS Devices” (S. G. Song, et al., 1998, IEDM) には、シラン (SiH₄) とアンモニア (NH₃) の混合ガスを材料ガスとして熱CVDで形成する方法が開示されている。しかし、この方法で用いられる材料ガスには水素が含まれており、その材料ガスを熱処理することで下地のゲート絶縁膜を構成するSiO₂中にも水素が拡散するために、ゲート絶縁膜の信頼性が低下するという問題があった。

【0009】材料ガスに含有された水素に起因する問題を解決するため、シリコン元素を含む材料であって水素元素を含まない材料ガス、及び窒素元素を含む材料であって水素元素を含まない材料ガスを用いて、放電により窒化シリコンを形成する方法が検討されている。ここで、シリコン酸化膜上にCVD法でシリコン窒化膜を形成する場合に成膜が始まるまでの時間、いわゆるインキュベーションタイムが膜厚の不均一性を生じさせる問題があり、一般的にシリコン酸化膜表面をNH₃中で熱窒化することで、インキュベーションタイムの抑制が図られている。

【0010】しかし、NH₃中で熱窒化すると、窒素原子がシリコン半導体基板内に拡散するおそれがあり、材料ガスに含有された水素に起因する問題を解決することができなかった。

【0011】この発明の目的は、ゲート絶縁膜の信頼性を低下させることなく、窒化シリコン膜をゲート絶縁膜上に積層して、P形不純物であるボロン原子のシリコン半導体基板への拡散を阻止して、PMOS半導体素子の閾値電圧の変動を抑制できる半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、ゲート絶縁膜が形成される半導体装置の製造方法、特にP形半導体素子を含む半導体装置の製造方法が提供される。この半導体装置の製造方法は、半導体層の表面に酸化膜を形成する工程と、窒素元素を含み、水素元素が5%以下しか含まれない窒素ガスを供給するとともに、電磁波を照射することによって前記酸化膜を窒化する工程と、シリコン元素を含み、水素元素が5%以下しか含まれないシリコン材料ガス、及び窒素元素を含み、水素元素が5%以下しか含まれない窒素ガスを供給するとともに、電磁波を照射することによって前記酸化膜上にシリコン窒化膜を形成する工程とから構成される。

【0013】この半導体装置の製造方法によれば、ゲート絶縁膜からシリコン半導体基板へのP形不純物の拡散を阻止して、PMOS半導体素子の閾値電圧の変動を抑

制できる。

【0014】

【発明の実施の形態】最初に、この発明の実施の形態として、P形半導体素子の製造方法について説明する。P形半導体素子の製造方法では、まず、半導体層の表面にゲート絶縁膜を形成する工程が実施され、つぎに、該ゲート絶縁膜上にP形不純物を含むシリコン層からなるゲート電極を形成する工程が実施される。

【0015】図1は、シリコン半導体基板の一部断面を模式的に示す図である。図1により、シリコン半導体基板の表面にゲート絶縁膜を形成する工程について説明する。ゲート絶縁膜を形成する工程は、つぎの(イ)、(ロ)、(ハ)の3つの工程を含む。ここで、図1(a)に示す半導体基板10には、素子分離領域101が形成されている。

【0016】(イ)半導体基板10の表面を酸化して、図1(b)に示すように半導体基板10の表面に酸化膜11を形成する。

(ロ)窒素元素を含む材料ガスであって水素元素を含まない材料ガスを用いて、電磁波を照射することにより、酸化膜11を窒化する。

【0017】(ハ)半導体基板10の表面に、シリコン元素を含む材料であって水素元素を含まない材料ガス、及び窒素元素を含む材料であって水素元素を含まない材料ガスを供給するとともに、少なくとも窒素元素を含む材料であって水素元素を含まない材料ガスに電磁波を照射する。これにより、図1(c)に示すように酸化膜11上にシリコン窒化膜12を形成する。

【0018】この発明のP形半導体素子の製造方法においては、つぎに、P形不純物を含むシリコン層、例えばポリシリコン層やアモルファスシリコン層からなるゲート電極を形成する工程が実施される。この工程では、例えばボロンなどのP形不純物を含むシリコン層をCVD法に基づき成膜した後に、かかるシリコン層をパターニングする。別の方法として、不純物を含まないシリコン層をCVD法にて形成した後に、例えばボロンやフッ化ホウ素(BF₂)などのP形不純物をイオン注入法によりシリコン層に注入し、その後にシリコン層をパターニングしてもよい。さらに別の方法としては、不純物を含まないシリコン層をCVD法にて形成した後に、シリコン層のパターニングを行い、例えばボロンやBF₂などのP形不純物をイオン注入法によりシリコン層に注入してもよい。こうして、この発明のP形半導体素子の製造方法では、シリコン窒化膜12によってボロンなどのP形不純物のシリコン半導体基板への拡散が阻止され、PMOS半導体素子の閾値電圧の変動を抑制できる。

【0019】なお、ゲート電極を形成する工程では、P形不純物を含むシリコン層を形成した後、このシリコン層上にシリサイド層を形成し、次いで、シリコン層及びシリサイド層をパターニングすることによって、ポリサ

イド構造を有するゲート電極を形成することができる。

【0020】以上では、P形半導体素子の製造方法を説明したが、この発明の半導体装置の製造方法は、CMOSトランジスタのゲート絶縁膜を形成する場合にも同様に適用して、PMOS半導体素子の閾値電圧の変動を抑制できる。

【0021】また、酸化膜11を窒化する際に照射される電磁波には、例えば周波数2.45GHzのマイクロ波を用いることができる。また、電磁波を照射すべき窒素系の材料ガスとしては、窒素ガス(N₂ガス)の他にも、窒素原子を含む化合物ガス、例えばNO、N₂O、NO₂などであってもよい。

【0022】また、シリコン材料ガスとしては、SiCl₄、Si₂Cl₆等を例示することができる。このような水素非含有シリコン化合物ガスや、窒素ガス、水素非含有窒素化合物ガス等の材料ガスには、水素が全く含まれないことが好ましいが、各材料ガスには不純物として微量(例えば、5%以下)の水素が含有されていてもよい。

【0023】さらに、半導体基板10としては、シリコン単結晶ウエハのようなシリコン半導体基板だけでなく、半導体基板上にエピタキシャルシリコン層、ポリシリコン層、あるいはアモルファスシリコン層、シリコン半導体基板や半導体層内に半導体素子が形成されたものをも含んでおり、ここでは酸化膜11が形成されるべき下地となる半導体基板を意味する。また、半導体層の表面に酸化膜11を形成するとは、半導体基板10等の上、若しくはその上方に形成された半導体層の上に酸化膜11を形成する場合だけでなく、半導体基板10の表面に酸化膜11が直接に形成される場合をも含む。

【0024】なお、シリコン単結晶ウエハはCZ法、MCZ法、DL CZ法、FZ法など、いかなる方法で作製されたウエハでもよく、また、予め水素アニールが加えられたものでもよい。また、半導体層はSi-Geから構成されていてもよい。

【0025】上述した半導体装置の製造方法によれば、水素を含まない材料ガスに電磁波を照射することによって酸化膜11の表面窒化を行うので、酸化膜中に水素が侵入することによるゲート絶縁膜の信頼性の低下等、半導体素子特性への悪影響がなくなる。また、電磁波を照射することにより酸化膜11の表面窒化を行っているので、熱分解の困難な窒素ガス(N₂ガス)を材料ガスとして用いることが可能となり、熱による窒素の基板への拡散を抑制することが可能である。

【0026】さらに、酸化膜11とシリコン窒化膜12とが積層されているので、例えば半導体装置のゲート電極形成後に各種の熱処理が実施された場合でも、ボロン原子がゲート絶縁膜を通過して半導体基板10にまで到達し、PMOS半導体素子の閾値電圧が変動するといった現象を確実に回避できる。

【0027】以下、この発明の具体的な実施例について、さらに図面を参照しながら説明する。

(第1の実施例) 図2には、この発明方法の実施に適したパッチ方式の酸化膜形成装置の概念図を示す。

【0028】この酸化膜形成装置は、処理室20と、シリコンウエハなどの半導体基板10を載置するポート21と、処理室20の外部に配設されたヒータ22と、処理室20の頂部に配置されたガス導入部23とから構成されている。ガス導入部23から処理室20内に乾燥酸素ガスあるいは湿式酸素ガスが導入される。ガスは処理室20の外側に設置された石英配管24を通してガス導入部23に到達するまでに加熱される。半導体基板10はポート21に設置され、昇降機構25により昇降される。

【0029】つぎに、枚葉式の酸化膜を窒化する装置について説明する。図3には、酸化膜を窒化する装置を兼用する、窒化シリコン膜の形成装置の概念図を示す。この窒化シリコン膜の形成装置は、処理室30と、半導体基板10を載置するステージ31と、ステージの下部に配設されたヒータ32と、窒素プラズマ発生室33と、この窒素プラズマ発生室33あるいは処理室30に配置されたガス導入部34a、34b、34cとから構成されている。第1のガス導入部34aからは窒素ガスが、第2のガス導入部34bからはArガスが、それぞれ窒素プラズマ発生室33に導入され、第3のガス導入部34cからはSi材料ガスが処理室30内に導入される。マグネトロン35で発生したマイクロ波は、マイクロ波導波管36を介して窒素プラズマ発生室33に供給される。

【0030】つぎに、図2に示した酸化膜形成装置を用いた酸化膜の形成方法、図3に示した窒化シリコン膜形成装置を用いた酸化膜の窒化方法、窒化シリコン膜の形成方法、及びP形半導体素子の製造方法について説明する。

【0031】図1(a)に示す半導体基板10は、例えばリンをドーブした直径8インチのN型シリコンウエハであって、CZ法にて作製されている。この半導体基板10に、公知の方法でLOCOS構造を有する素子分離領域101を形成し、次いでウエルイオン注入、チャネルストップイオン注入、閾値調整イオン注入を行う。なお、素子分離領域101はトレンチ構造を有していてもよいし、LOCOS構造とトレンチ構造の組合せであってもよい。その後、RCA洗浄により半導体基板10の微粒子や金属不純物を除去し、次いで、0.1%フッ化水素酸水溶液及び純水によって半導体基板10の表面洗浄を行う。

【0032】つぎに、図2の酸化膜形成装置により半導体基板10に酸化膜を形成する。酸化膜形成装置の図示しない扉から半導体基板10を搬入し、ポート21に配置した後、ガス導入部23から窒素ガスを処理室20に

導入する。処理室20内では、窒素ガスを導入しながらポート21が昇降機構25によって上昇される。つぎに、窒素ガスの導入を止め、同じくガス導入部23から乾燥酸素ガスを導入することにより、図1(b)に示すように厚さ1[nm]の酸化膜11を形成する。この酸化膜11の形成条件を、表1に示す。

【0033】

【表1】

O ₂ 流量	10SLM
基板温度	800℃

【0034】つぎに、図3の窒化シリコン膜形成装置により酸化膜11を窒化する。窒化シリコン膜形成装置の図示しない扉から半導体基板10を搬入し、ステージ31に載置した後、ガス導入部34aから水素元素を含まない窒素材料である窒素ガスを導入する。併せて、マグネトロン35にマイクロ波電力を供給し、マグネトロン35にて生成した2.45GHzのマイクロ波をマイクロ波導波管36から窒素プラズマ発生室33に導入する。これによって、熱処理では活性化されづらい窒素ガスが活性化され、酸化膜11中に水素を混入することなく窒化することが可能となる。また、700℃以下の低温で窒化が可能であるため、窒素の半導体基板10への拡散を抑制することが可能である。さらに、酸化膜11中に水素が含まれていないことも、半導体基板10への窒素の拡散を抑制している。

【0035】この酸化膜11の窒化条件を、表2に示す。

【0036】

【表2】

マイクロ波電力	1キロワット
マイクロ波周波数	2.45GHz
N ₂ 流量	5.0SLM
Ar流量	10.0SLM
圧力	0.16Pa
基板温度	500℃

【0037】つぎに、ガス導入部34aから水素元素を含まない窒素材料である窒素ガスを導入し、ガス導入部34bからArガスを導入し、ガス導入部34cから水素元素を含まないSi材料ガスとしてSiCl₄を導入する。併せて、マグネトロン35にマイクロ波電力を供給し、マグネトロン35にて生成した2.45GHzのマイクロ波をマイクロ波導波管36からプラズマ発生室33に導入する。これによって、熱処理では活性化されづらい窒素ガスが活性化され、活性化されたSiCl₄と反応して、図1(c)に示すように半導体基板10上にシリコン窒化膜12が堆積する。

【0038】このシリコン窒化膜12の形成条件を、表3に示す。

【0039】

【表3】

マイクロ波電力	1キロワット
マイクロ波周波数	2.45GHz
N ₂ 流量	5.0SLM
SiCl ₄ 流量	10.0SLM
Ar流量	20.0SLM
圧力	0.16Pa
基板温度	700℃

【0040】図4は、P形半導体素子の製造工程を示す図である。半導体基板10上にシリコン窒化膜12が形成された後、窒化シリコン膜形成装置から半導体基板10を搬出し、公知のCVD装置に搬入する。そして、全面に不純物を含んでいないシリコン層42（この第1の実施例においてはポリシリコン層）及びW_{Si}層43をCVD法にて成膜する。つづいて、図4(a)に示すように、フォトリソグラフィ技術及びドライエッチング技術に基づいてシリコン層42及びW_{Si}層43をパターニングする。さらに、シリコン層42及び半導体基板10にボロンイオンをイオン注入法にて注入する。これによって、図4(b)に示すように酸化膜11上にP型不純物を含むシリコン層42（具体的にはポリシリコン層）及びW_{Si}層43からなるゲート電極を形成することができ、併せて、LDD構造44を形成することができる。

【0041】図5は、図4(b)に続くP形半導体素子の製造工程を示す図である。図4(b)に示すゲート電極に全面に絶縁膜を形成し、この絶縁膜を異方性ドライエッチング技術に基づきエッチングして、図5(a)に示すように、ゲート電極の側壁にサイドウォール45を形成する。つぎに、図5(b)に示すように、ソース／ドレイン領域46を形成するために、半導体基板10にボロンイオンをイオン注入法にて注入した後、イオン注入された不純物の活性化熱処理を行う。

【0042】図6は、完成したP形半導体素子の一部断面図である。ソース／ドレイン領域46の形成後に、CVD法にて全面に絶縁膜47を成膜する。さらに、ソース／ドレイン領域46の上方の絶縁層47に開口部を設け、この開口部内を含む絶縁層47の上に配線材料層をスパッタ法にて形成する。最後に、配線材料層をパターニングすることによって配線48を形成して、図6に示すP形半導体素子を得ることができる。

【0043】（第2の実施例）第1の実施例では、バッチ方式の酸化膜形成装置を用いてゲート酸化膜を形成する方法を説明したが、図7に示すような枚葉式の酸化膜形成装置を用いて酸化を行うことも可能である。

【0044】第1の実施例と同様に、素子分離形成工程まで実施した後に、1枚の半導体基板10を、図7に示した酸化膜形成装置の図示しない扉から搬入し、ステージ51に載置する。その後、ガス導入部56から酸素ガスを処理室50内に導入する。ここで、ヒータ52によ

って加熱された半導体層（具体的には半導体基板 10）の表面が酸化される。

【0045】 こうして、半導体層の表面に酸化膜 11 を形成することができる。酸化膜の形成条件を、以下の表 4 に例示する。なお、この酸化膜形成工程において、厚さ 1 [nm] の酸化膜が形成される。

【0046】

【表 4】

O ₂ 流量	10.0SLM
基板温度	800℃

【0047】 以降のゲート酸化膜表面を窒化する工程から P 型半導体素子を形成する工程までは、第 1 の実施例と同様である。

【0048】

【発明の効果】 以上に説明したように、この発明の半導体装置の製造方法によれば、ゲート絶縁膜の信頼性を低下させる下地の酸化膜中への水素の拡散をさせることなく、酸化膜上に窒化シリコン膜を積層することができ

る。

【図面の簡単な説明】

【図 1】 シリコン半導体基板の一部断面を模式的に示す図である。

【図 2】 パッチ方式の酸化膜形成装置を示す概念図である。

【図 3】 窒化シリコン膜の形成装置を示す概念図である。

【図 4】 P 型半導体素子の製造工程（その 1）を示す図である。

【図 5】 P 型半導体素子の製造工程（その 2）を示す図である。

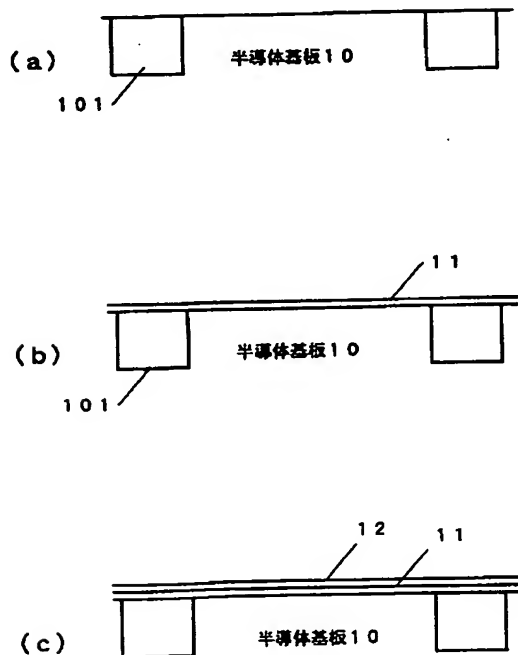
【図 6】 完成した P 型半導体素子を示す模式的な一部断面図である。

【図 7】 枚葉式の酸化膜形成装置を示す概念図である。

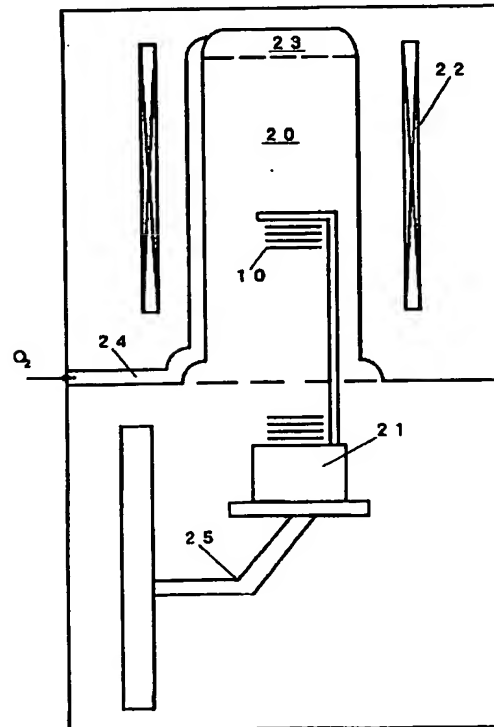
【符号の説明】

10…半導体基板、11…酸化膜、12…窒化シリコン膜。

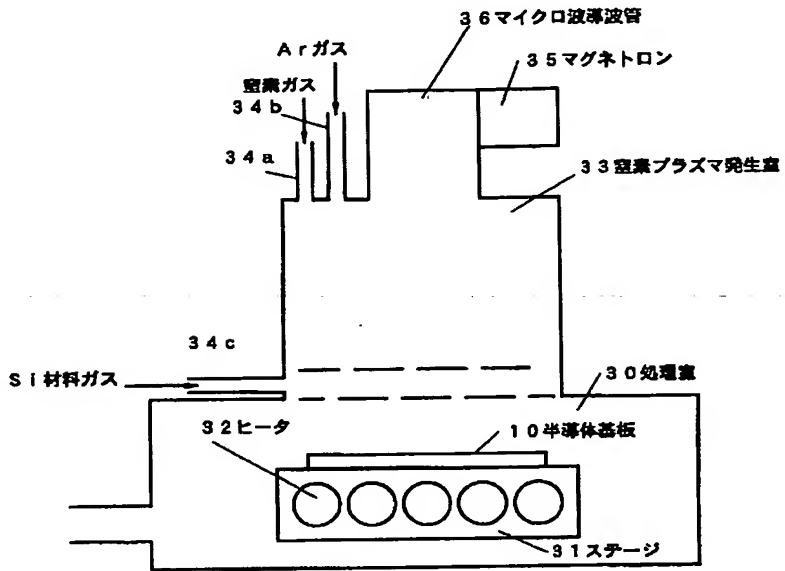
【図 1】



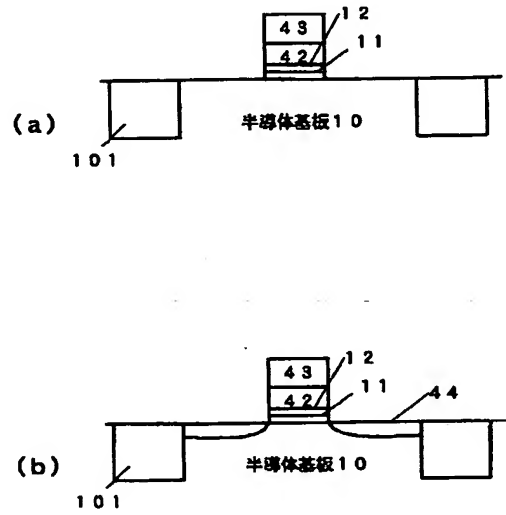
【図 2】



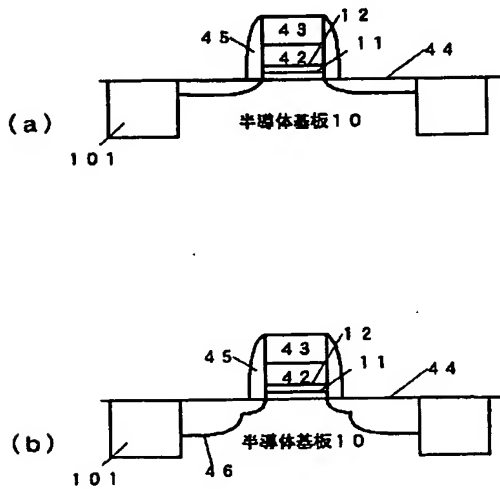
【図3】



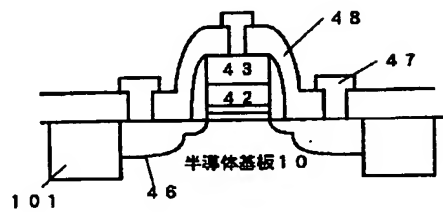
【図4】



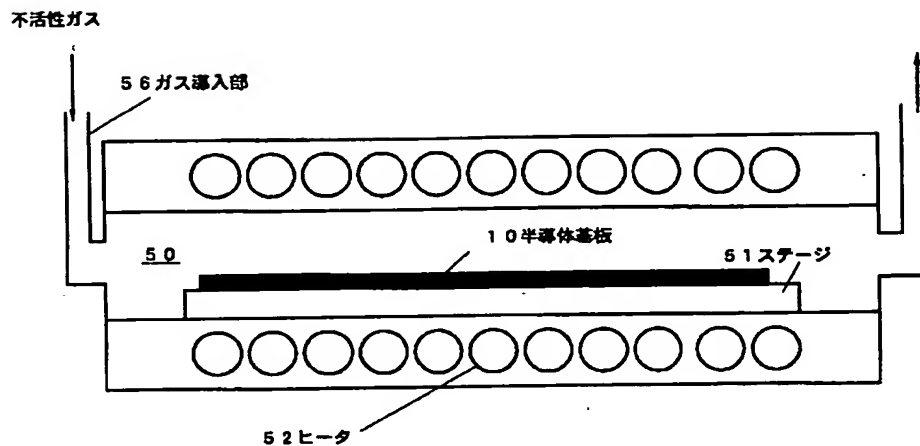
【図5】



【図6】



【図 7】



フロントページの続き

(51) Int. Cl. 7

H01L 21/8238
27/092

識別記号

FI

H01L 27/08

テ-マコード (参考)

321D

F ターム (参考) 4K030 AA03 AA16 AA18 BA40 CA04
 DA02 FA01 HA04 JA06 LA15
 5F048 AC03 BA01 BA02 BB07 BB08
 BB11 BB12 BB14 BD09
 5F058 BA05 BD01 BD10 BD15 BF02
 BF23 BF30 BH05 BH16 BJ01
 5F140 AA06 AA39 AB03 AC01 BA01
 BC06 BD01 BD07 BD09 BE02
 BE03 BE07 BE08 BE10 BF01
 BF04 BF11 BF18 BG28 BG32
 BG38 BK02 BK13 BK21 BK29
 CB01 CB02 CB04 CB08 CC12
 CE10 CF07